

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-108171

(43)Date of publication of application : 26.05.1986

(51)Int.Cl. H01L 29/78
H01L 27/12
H01L 29/60

(21)Application number : 59-229015

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 01.11.1984

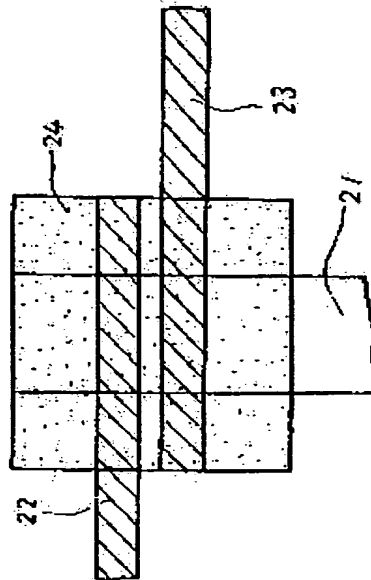
(72)Inventor : IKEDA MITSUSHI
ICHIKAWA OSAMU
HIGUCHI TOYOKI
DOJIRO MASAYUKI

(54) THIN FILM FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To make circuit constants definite and to obtain a thin film FET characterized by easy design of a picture element circuit and a driving circuit, by extending source and drain electrodes in parallel in reverse directions to each other, and arranging a gate electrode in perpendicular to said electrodes.

CONSTITUTION: Mo with a thickness of $1,000\text{\AA}$ is sputtered, and a gate 21 is formed. As a gate insulating film, SiO_2 is deposited to $2,000\text{\AA}$ by plasma CVD. Then a-Si and n+ type a-SiO₂ are deposited to $3,000\text{\AA}$ and $5,000\text{\AA}$, respectively. After an a-Si film 24 is etched, Mo is deposited to 502\AA and Al is deposited to $1\text{ }\mu\text{m}$ by sputtering and evaporation. Source and drain electrodes 22 and 23 are formed. With the electrodes 22 and 23 as masks, the n+ type a-Si is etched away. The source and drain electrodes are formed in parallel at the same width in the reverse directions to each other. The gate electrode is formed in perpendicular to said electrode at a constant width. The allowances of the patterns in the gate and source directions are made to be about the values of aligning errors in respective directions. In this constitution, even if the pattern is deviated, the channel length and the overlapping of the source and drain are not changed, and the circuit constants become definite.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑪ 公開特許公報(A) 昭61-108171

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)5月26日

H 01 L 29/78
27/12
29/60

8422-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜電界効果トランジスタ

⑮ 特 願 昭59-229015

⑯ 出 願 昭59(1984)11月1日

⑰ 発 明 者	池 田	光 志	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑱ 発 明 者	市 川	修	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑲ 発 明 者	樋 口	豊 喜	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
⑳ 発 明 者	堂 城	政 幸	川崎市幸区小向東芝町1	株式会社東芝総合研究所内
㉑ 出 願 人	株 式 会 社 東 芝		川崎市幸区堀川町72番地	
㉒ 代 理 人	弁 理 士 則 近 恵 佑		外1名	

明 細 書

1. 発明の名称

薄膜電界効果トランジスタ

2. 特許請求の範囲

(1) ソース電極とドレイン電極が互いに同一の極で且つ平行に配線されており、ゲート電極が前記ソース電極及び前記ドレイン電極の長手方向に対して垂直となる方向に配線されたことを特徴とする薄膜電界効果トランジスタ。

(2) 前記ソース電極と前記ドレイン電極は互いに逆向きに延びる電極であることを特徴とする特許請求の範囲第1項記載の薄膜電界効果トランジスタ。

(3) 前記ソース電極、前記ドレイン電極及び前記ゲート電極を有する半導体はアモルファスシリコンであることを特徴とする特許請求の範囲第1項記載の薄膜電界効果トランジスタ。

3. 発明の詳細な説明

(発明の技術分野)

本発明は液晶表示装置駆動用トランジスタ等の

大面積基板上で用いられる薄膜電界効果トランジスタに関する。

(発明の技術的背景とその問題点)

近年、トランジスタをマトリックスアレイに構成して駆動装置とした薄型表示装置が注目されている。この表示方法では、基板上に蓄積容量とスイッチングトランジスタを接続した画素回路をマトリックス状に構成し、トランジスタをスイッチング素子として蓄積容量に画像情報を蓄積しておき、この画像情報をマトリックス上に設けられた液晶層 EL 層又は EL 層等のドット状表示素子で表示して画像を得ようとするものであり、CRT に比べるかに薄型の表示装置が実現できる。

第4図に単位画素回路を示す。トランジスタ 00 のゲートをアドレス電圧 $V(X_i)$ によりスイッチングし、ソースに接続されたデータ電圧 $V(Y_j)$ を蓄積容量 C_{st} に書き込む。ゲートをオフすることにより画像情報は蓄積容量に保持され、所定のフレーム時間保持される。この画像電圧により液晶セル 01 が駆動され画像情報を表示する。端子電圧 V_e

は液晶セルの対向電極の電圧である。画素回路の動作において、ゲート・ドレイン間の浮遊容量 C_{gd} の存在により、蓄積容量への書き込み電圧 V_s の低下 ΔV_s が生ずる。ゲートのオン電圧が V_G 、オフ電圧が 0 のときの ΔV_s の値は

$$\Delta V_s = \frac{C_{gd}}{C_s + C_{gd}} \cdot V_G$$

となり、 C_{gd} の値により変化し、画素回路の駆動条件が変化し、回路設計を困難にする。

第 5 図 (a)、(b) に画素回路の平面図を示す。画素回路は、ゲート電極部、ソース電極部、ドレイン電極部、アモルファスシリコン部、画素電極部により構成されている。第 5 図 (a) にこれらのパターンが正しく形成している場合を示す。第 5 図 (b) に、パターンずれが生じゲートとソース・ドレインのパターンが正しく整合されなかった場合を示す。第 5 図 (b) の場合には、ゲートとドレインの重なりが大きいためゲート・ドレイン間の容量 C_{gd} が増大している。又、ソース・ドレインがゲート領域よりはみ出しているため、チャンネル長の減少が

(3)

生じてチャンネル長及びソース・ドレイン間の重なりが変化しない構造の薄膜電界効果トランジスタを得るものである。

(発明の効果)

本発明によれば、パターンずれを生じて、チャンネル長及びソース・ドレイン間の重なりが変化しないため、回路定数を一定にでき、画素回路及び駆動回路の設計が容易な薄膜電界効果トランジスタを得るものである。

(発明の実施例)

第 1 図に本発明の実施例を示す。Mo 1000 Å をスパッタにより底層 (ゲート部を形成する。ゲート絶縁膜として SiO_2 をプラズマ CVD で 2000 Å 堆積し、次にアモルファスシリコン (a-Si) 及び P をドーブした n 形アモルファスシリコン ($n^+ \text{a-Si}$) をそれぞれ 3000 Å、500 Å 堆積する。アモルファスシリコン部を CDE でエッチングした後 Mo を 500 Å、Al を 1000 Å をスパッタ及び蒸着により堆積し、ソース・ドレイン電極部、部をマスクとして

(5)

生じている。

液晶ディスプレイは、従来の IC、LSI と異なり大面積で用いられるため、基板ガラスの熱膨張、マスクパターンの変換差等のパターン誤差が容易に生ずるためパターン合わせがより困難であり第 5 図 (b) のようなパターンずれが容易に発生する。このようなパターンずれにより、画素回路への書き込み電圧 (トランジスタの ON 電流) の減少、ゲート・ドレイン間の浮遊容量 C_{gd} の増大が生じ、回路の駆動条件を変化させ、正しい回路動作を困難にする。この問題を、画素回路及び駆動回路の設計を困難にする。

(発明の目的)

本発明は上記の点に鑑み、パターンずれが生じてトランジスタの ON 電流、ゲート・ドレイン間の浮遊容量が変化しない構造を有する薄膜電界効果トランジスタを提供するものである。

(発明の概要)

ゲート及びソース・ドレイン電極の間の位置関係を一定の形とすることにより、パターンずれを

(4)

$n^+ \text{a-Si}$ をエッチングする。第 1 図のように、ソース及びドレインを同一極で平行に形成し、ゲートを同一極でソース及びドレインに垂直にパターン形成することにより、ゲート及びソース・ドレイン電極のたて方向、横方向の 2 方向のずれが生じて同一の TFT 特性が得られた。

尚、ゲート方向のみにパターンずれが生ずる場合には第 2 図に示すようにゲート方向のみにパターン余裕をもたせた構造とすれば良い。又、ソース方向のみにパターンずれが生ずる場合には第 3 図に示すようにソース方向のみにパターン余裕をもたせた構造とすれば良い。即ち、ゲート方向及びソース方向のパターン余裕はそれぞれの方向の合せ誤差程度の値とすれば良い。

尚、薄膜トランジスタに用いられる半導体はアモルファスシリコンに限定されず、ポリシリコン、CdSe、Te 等でも良い。又、ゲート絶縁膜は SiO_2 に限らず、 Si_3N_4 、 Ta_2O_5 、 Al_2O_3 でも良いし、電極は Al、Mo に限らず低い抵抗率の材料であれば何でも良い。

(6)

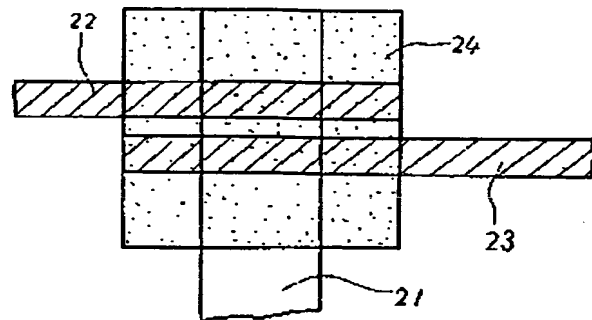
4. 図面の簡単な説明

第1図は本願発明の第1の実施例を示す図、第2図及び第3図は第2及び第3の実施例を示す図、第4図及び第5図は従来例を示す図である。

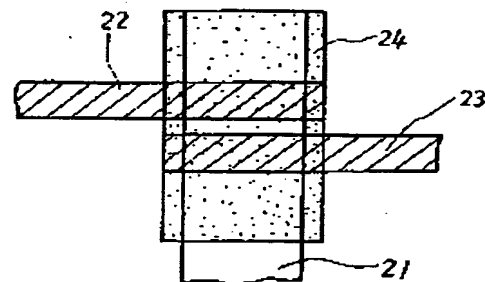
21…ゲート、22…ソース、23…ドレイン、24…アモルファスシリコン。

代理人弁理士 剛 近 隆 佑
(ほか1名)

第 1 図

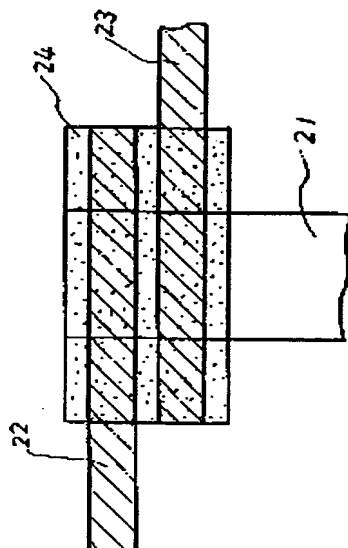


第 2 図

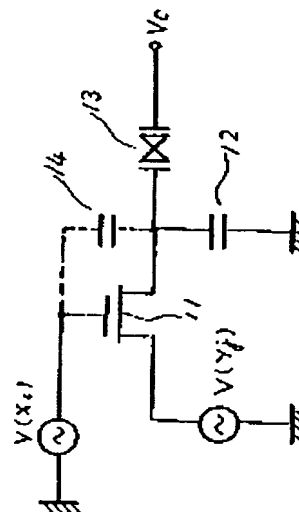


(7)

第 3 図



第 4 図



第 5 圖

